

# 基于帧级流水脉动阵列结构的运动估计电路

何卫锋, 毛志刚

(哈尔滨工业大学微电子科学与技术系, 黑龙江哈尔滨 150001)

摘 要: 在将标准的六层  $D_0$  循环嵌套 FSBM 算法等效变换成一种新的两层  $D_0$  循环嵌套算法的基础上, 本文提出了三种基于搜索距离分别为  $P = KN (K \geq 1)$ ,  $P = N/2$  和  $P = N$  的脉动阵列结构的运动估计电路. 上述结构除了支持帧级流水操作外, 而且在取得近似 100% 的阵列流水效率的同时, 具有硬件开销小、输入端口数少等特点, 可广泛应用于 DTV 和 HDTV 等领域.

关键词: 全搜索块匹配算法; 脉动阵列; 运动估计; VLSI 结构

中图分类号: TP302.2 文献标识码: A 文章编号: 0372-2112(2005)08-1487-05

## Frame Level Pipelined Array Architecture for Motion Estimation

HE Weifeng, MAO Zhigang

(Department of Microelectronics Science and Technology, Harbin Institute of Technology, Harbin, Heilongjiang 150001, China)

Abstract: Three efficient FSBM motion estimation systolic array architectures for search range  $P = KN (K \geq 1)$ ,  $P = N/2$  and  $P = N$ , and are proposed in this paper, based on mapping the standard six level nested  $D_0$  loop FSBM algorithm into a two level nested  $D_0$  loop algorithm equivalently. These new architectures not only support frame level pipelined operation, but also achieve nearly 100% processor utilization, require much fewer input pin count and hardware overhead. As such, these architectures offer a feasible solution for Digital TV and HDTV video picture format.

Key words: full search block matching algorithm; systolic array; motion estimation; VLSI architecture

### 1 引言

作为视频编码器的核心部件, 运动估计 (Motion Estimation, 简称 ME) 承担着编码器 60~80% 的计算任务, 直接关系到视频图像的编码压缩质量. 在所有的运动估计匹配算法中, 全搜索块匹配算法 (Full Search Block Matching Algorithm, 简称 FSBM) 是通过搜索区域进行穷尽式匹配比较来获得最佳匹配块的. 由于它能提供最优的匹配效果而在视频点播、数字电视和高清晰度电视等对图像质量要求很高的应用领域受到广泛的关注.

针对基于四层循环嵌套 FSBM 算法<sup>[1]</sup>映射得到的运动估计电路的效率低下问题, 人们提出了采用六层  $D_0$  循环嵌套 FSBM 算法<sup>[1]</sup>来描述当前帧图像中多个参考块进行运动估计时的流水过程. 由于图像帧在运动估计过程中所有内在的并行性都可以通过该算法进行挖掘, 如果能够在由该算法映射而成的电路结构中通过采用流水和并行处理技术来充分的利用这些并行性, 那么电路的工作效率将得以显著的提高.

基于上述思路, Yeo 和 Hu<sup>[1]</sup>、Surin 和 Hu<sup>[2]</sup>、L. C. Liu<sup>[3]</sup> 等人分别进行了该方面的研究工作. 通过数学变换和映射, 他们得到了几种效率近似 100% 的帧级流水脉动阵列结构. 然而, 由于脉动阵列的规模与问题的规模不匹配, 他们提出的

帧级流水阵列结构存在如下不足: (1) PE 结构复杂, 硬件开销过大; (2) PE 的数目  $PEs = (2p + 1)^2$  ( $p$  为搜索距离). 该式表明整个运动估计电路的规模会随搜索距离的变化而发生显著变化, 由此将会引发诸多问题; (3) 应用范围小, 实用性差. 虽然 L. C. Liu 的结构成功摆脱了  $p = N/2$  的束缚, 但性价比低、实用性差的问题并没有得到解决.

针对这些的不足, 本文在对上述的六层  $D_0$  循环嵌套 FSBM 算法进行等价变换的基础上, 提出了一种新的两层  $D_0$  循环嵌套 FSBM 算法, 并通过直接映射得到了一种通用的帧级流水脉动阵列结构和两种特定结构. 这些结构具有如下优点: (1) 接近 100% 的流水效率; (2) PE 结构简单; (3) 输入端口数目少, 访问外存所需的带宽小; (4) PE 的数目,  $PEs = N^2$  适应性强, VLSI 实现方便.

### 2 新的两层 $D_0$ 循环嵌套 FSBM 算法

在进行运动估计时, 当前帧图像被划分为  $N_h \times N_v$  个参考块, 每个块包含  $N \times N$  个像素点. 采用 MAD (Mean Absolute Distortion) 匹配标准的 FSBM 算法<sup>[2]</sup> 可以表述为:

$$MAD(m, n) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} |x(i, j) - y(i+m, j+n)| \quad (1)$$

其中  $x(i, j)$  为当前帧中参考块像素的亮度值,  $y(i+m, j+n)$

+  $n$ ) 为先前帧搜索区域像素的亮度值,  $(i, j)$  为相对坐标. 偏移量与搜索距离  $p$  之间的关系满足  $-p \leq m, n \leq p$ . 在  $p$  的约束下, 运动向量  $MV$  (Motion Vector) 为满足  $MAD(m, n)$  值最小时的偏移量  $(m, n)$ , 即,

$$MV = \arg\{\min MAD(m, n)\} \quad -p \leq m, n \leq p \quad (2)$$

基于帧级流水的 FSBM 运动估计算法<sup>[1]</sup>的核心是一个六层 Do 循环嵌套. 它包含六个坐标变量, 其中  $(h, v)$  表示参考块的块坐标变量对,  $(m, n)$  为偏移量,  $(i, j)$  为像素在参考块中的坐标(块左上角为坐标顶点) 变量对.

为了得到一种新的两层 Do 循环嵌套 FSBM 算法, 我们规定, 输入像素数据进行 MAD 计算的顺序与文献[3]定义的顺序相同, 即当前帧图像中  $N_v N_h$  个参考块按行扫描顺序(row-major mode) 进行运动估计; 每个参考块中  $N^2$  的个像素按列扫描顺序(column-major mode) 进行 MAD 计算; 先前帧中搜索块按列扫描顺序(block-scan mode) 与参考块进行 MAD 计算. 在此, 我们先给出几个变量的定义:

(1)  $is, js$ : 参考块像素在当前帧中的绝对坐标(以帧左上角为坐标顶点).

(2)  $i_u, j_u$ : 搜索区域像素在先前帧中的绝对坐标(以帧左上角为坐标顶点).

(3)  $k$ : 搜索区域中搜索块进行运动估计时的顺序变量, 且  $0 < k \leq N_v N_h (2p + 1)^2$ .

(4)  $l$ : 参考块中  $N^2$  像素点的进行 MAD 计算时顺序变量, 且  $0 < l \leq N^2$ .

由此, 有  $l = (i - 1)N + j$ , 其中  $1 \leq i, j \leq N$  (3)

$$k = (v - 1)Nh(2p + 1)^2 + (h - 1)(2p + 1)^2 + (m + p)(2p + 1) + n + p + 1 \quad (4)$$

$$x_1(l, k) = x((v - 1)N + j, (h - 1)N + i) \quad (5)$$

$$y_1(l, k) = y((v - 1)N + j + n, (h - 1)N + i + m) \quad (6)$$

我们用变量  $k$  和  $l$  通过数学变换来替代文献[1]中坐标变量  $h, v, i, j, m$  和  $n$ , 它们之间的关系满足:

$$i = \lfloor \frac{l}{N} \rfloor + 1; j = l \bmod N \quad (7)$$

$$h = \lfloor \frac{(k - 1) \bmod Nh(2p + 1)^2}{(2p + 1)^2} \rfloor + 1 \quad (8)$$

$$v = \lfloor \frac{k - 1}{Nh(2p + 1)^2} \rfloor + 1 \quad (9)$$

$$m = \lfloor \frac{(k - 1) \bmod (2p + 1)^2}{2p + 1} \rfloor - p \quad (10)$$

$$n = (k - 1) \bmod (2p + 1) - p \quad (11)$$

其中,  $\lfloor x \rfloor$  表示小于或等于  $x$  的最大整数, mod 为求模运算符.

对当前帧和先前帧数据序列进行局部化的目的是要将算法中的广播数据序列变换成为传递数据序列, 以便在将该算法映射到结构之后, 电路中不会出现数据广播操作. 同时, 局部化规律也将在直接映射过程中帮助确定电路中各模块的调度时序. 经过推导, 我们得出了如下的局部化规律:

定理 1 对于当前帧像素变量  $x_1(l, k)$ , 若存在整数  $\omega$ , 使得在  $0 < \omega \leq N_h N_v$  时, 当  $k - 1$  满足关系  $(\omega - 1)(2p + 1)^2 < k - 1 \leq \omega(2p + 1)^2$  时, 且当  $k$  满足关系  $(\omega - 1)(2p + 1)^2 < k$

$\leq \omega(2p + 1)^2$  时, 则  $x_1(l, k)$  满足  $x_1(l, k) = x_1(l, k - 1)$ .

证明 根据式(5)、(7)、(8)和(9), 可知  $is, js$  是变量  $k$  和  $l$  的函数, 且满足,

$$is(l, k) = (h - 1)N + i = \lfloor \frac{(k - 1) \bmod Nh(2p + 1)^2}{(2p + 1)^2} \rfloor N + \lfloor \frac{l}{N} \rfloor + 1$$

$$js(l, k) = (v - 1)N + j = \lfloor \frac{(k - 1)}{Nh(2p + 1)^2} \rfloor N + l \bmod N$$

令  $k - 1 = \alpha Nh(2p + 1)^2 + \beta(2p + 1)^2 + \delta$ , 其中  $\alpha, \beta$  和  $\delta$  为非负的整数. 当  $k - 1$  满足关系  $(\omega - 1)(2p + 1)^2 < k - 1 \leq \omega(2p + 1)^2$ , 且  $k$  满足关系  $(\omega - 1)(2p + 1)^2 < k \leq \omega(2p + 1)^2$  时, 依上式可知  $k = \alpha Nh(2p + 1)^2 + \beta(2p + 1)^2 + \delta + 1$ . 由此可得,

$$js(l, k) = \alpha N + l \bmod N = js(l, k - 1)$$

$$is(l, k) = \beta N + \lfloor \frac{l}{N} \rfloor + 1 = is(l, k - 1)$$

由此可以推出  $x_1(l, k) = x(js, is) = x_1(l, k - 1)$ , 定理 1 得证.

定理 1 中  $k - 1$  和  $k$  满足的关系表明了  $k - 1$  和  $k$  是同属于一个搜索区域的顺序变量, 这也表明  $x_1(l, k)$  和  $x_1(l, k - 1)$  要属于同一参考块的像素值时该定理才能成立.

定理 2 对于先前帧的像素变量  $y_1(l, k)$ , 若存在整数  $\omega$ , 使得在  $0 < \omega \leq N_h N_v$  时,  $k - (2p + 1)$  满足关系  $(\omega - 1)(2p + 1)^2 < k - (2p + 1) \leq \omega(2p + 1)^2$ , 且  $k$  满足关系  $(\omega - 1)(2p + 1)^2 < k \leq \omega(2p + 1)^2$  时

若  $k > 2p + 1$ , 且  $l < N^2 - N$ , 则有

$$y_1(l, k) = y_1(l + N, k - (2p + 1)) \quad (12)$$

若  $k \bmod (2p + 1) \neq 1$ , 且  $l \bmod N \neq 0$ , 则有

$$y_1(l, k) = y_1(l + 1, k - 1) \quad (13)$$

定理 3 对于相邻参考块所对应的相邻搜索区域中的像素变量  $y_1(l, k)$ , 即当  $k$  满足等式

$$\lfloor \frac{k}{Nh(2p + 1)^2} \rfloor = \lfloor \frac{k + (2p + 1)^2}{Nh(2p + 1)^2} \rfloor \text{ 时,}$$

若  $p \geq N$ , 且  $k \bmod (2p + 1)^2 \geq N(2p + 1)$ , 则有

$$y_1(l, k) = y_1(l, k + (2p + 1 - N)(2p + 1)) \quad (14)$$

(鉴于文章篇幅, 对于定理 2 和定理 3, 这里不再给出证明过程, 具体可以参照定理 1 的证明过程, 也可以参阅文献[1])

在此基础上, 我们得到了经过局部化后的两层 Do 循环嵌套 FSBM 运动估计算法, 其描述如下所示

```
do k = 1 to N_v N_h (2p + 1)^2
do l = 1 to N^2
  if (k = 1) x2(l, k) = x1(l, k);
  else x2(l, k) = x2(l, k - 1);
  endif
  if (k > 2p + 1) && (1 < N^2 - N)
    y2(l, k) = y2((l + N), k - (2p + 1));
  else if (k mod (2p + 1) != 1 && l mod N != 0)
    y2(l, k) = y2(l + 1, k - 1);
  else if ((k mod (2p + 1)^2) = N(2p + 1)) && (floor(k / (Nh
```

```

= = floor((k + (2p + 1)^2)/(Nh(2p + 1)))
y2(l, k) = y2(l, k + (2p + 1 - N)(2p + 1));
else y2(l, k) = y1(l, k);
endif
if(l mod N^2 = 1)
    MAD(l, k) = |x2(l, k) - y2(l, k)|;
else
    MAD(l, k) = MAD(l - 1, k - 1) + |x2(l, k) - y2(l, k)|;
endif
enddo l
if(k mod (2p + 1)^2 = 1)
    Dmin(k) = MAD(k);
    MV(k) = k;
else if(MAD(k) < Dmin(k - 1))
    Dmin(k) = MAD(k);
    MV(k) = MV(k - 1);
else
    Dmin(k) = Dmin(k - 1);
    MV(k) = MV(k - 1);
endif
enddo k
    
```

### 3 基于 $P = KN$ 的帧级流水运动估计结构

对上述的FSBM算法进行直接映射。映射的规则是将  $k$  映射成时间节拍,  $l$  映射为 PE 单元, 即 PE 的数目  $PE_s = l = N^2$ 。依据定理 2,  $N^2$  个 PE 单元被分成  $N$  列, 每列包含  $N$  个 PE。与文献[3]的方法有所不同的是, 我们将相邻两列 PE 单元间  $y(l, k)$  数据的延迟映射为 1 个延迟节拍。同时, 为了满足定理 2 中式(12)的关系, 在相邻两列进行 MAD 值累加时加上  $(2p + 1)$  节拍的延迟, 以保证总的时序正确。这样分配时序的好处是可以大大减少延迟寄存器的使用数目, 从而节省硬

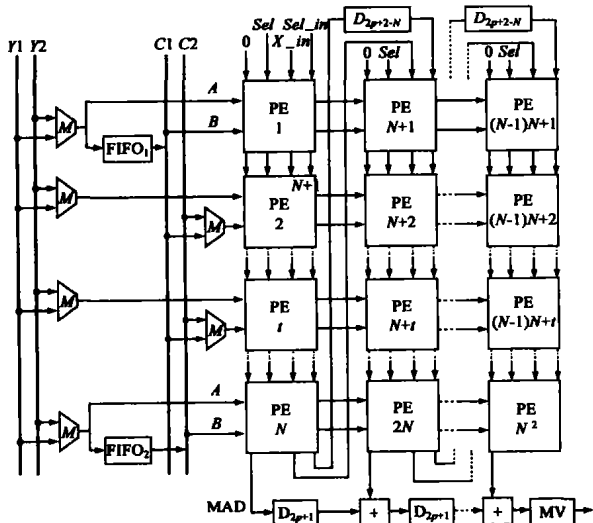


图 1 基于  $p=kN$  的 ME 阵列结构 ( $kN$  结构)

件资源。

图 1 给出了我们得到的基于  $p = kN$  的帧级流水脉动阵列结构 ( $kN$  结构), 它满足关系  $p = kN$ , 其中  $k \geq 1, -p \leq m, n \leq p$ , 图 2 为 PE 的内部结构。

在图 1 中, 通过设立两个大小为  $(N - 1)(2p + 1)$  和  $(N - 1)^2$  的 FIFO1 和 FIFO2 使得总线 C1 和 C2 成为内部总线, 而定理 3 所述的数据重用关系依然成立。这样, 在降低搜索区域输入数据占用的带宽的

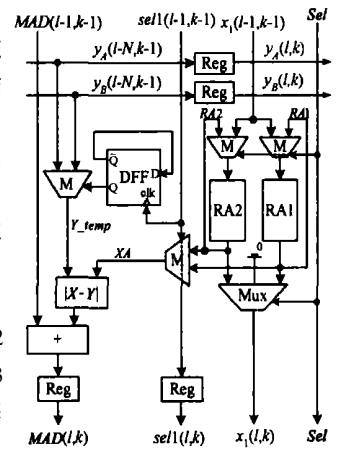


图 2 基于  $p=kN$  的 PE 的结构

同时, 阵列的效率保持不变。  $D_{2p+1}$  和  $D_{2p+2-N}$  是延迟数为  $(2p + 1)$  拍和  $(2p + 2 - N)$  拍的延迟寄存器组。MV 模块依据公式(10)和(11)为每个参考块计算产生一对运动向量。

依据定理 1, 参考块像素数据不随  $k$  值发生变化。为此, 在当前参考块进行运动估计之前, 其像素值要被预存到 PE 的寄存器中。在进行当前参考块运动估计的过程中, 下一参考块的相应像素值也要被存放到相应的 PE 中, 这样相邻参考块的运动估计过程中不会存在停顿。在图 2 的 PE 结构中, 设置有 RA1 和 RA2 两个寄存器, 交替存放当前和下一参考块的相应像素数据。

在上述的脉动阵列结构中, 搜索区域数据沿着 PE 横向传递, 参考块数据从 PE1 开始按列扫描的方式输入, MAD 值按列方式进行累加, 所有的数据都进行传递操作, 无广播数据出现。在整个运动估计过程中, 既没有因为输入数据未准备好而产生流水停顿, 也不存在为保持数据流的规则有序流动而进行无效计算, FSBM 算法中的并行性完全被开发出来, 脉动阵列的工作效率接近 100%。

以图 3 所示的帧图像格式为例, 图 4 给出了在  $Nv = Nh = N = p = 2$  时像素点在总线和 PE 中传送的时序。从图中可以看出, 在  $(2p + 1)$  个节拍中,  $Y2$  总线上仅需要在  $(N - 1)$  拍的时间内传送数据。因此, 该电路仅需两个像素数据输入端口,  $Y1$  总线占用一个端口,  $Y2$  和  $X - in$  分时共用另一个端口。

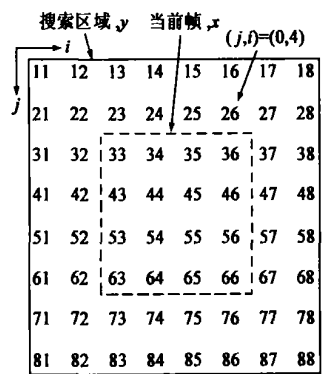


图 3 搜索区域和当前帧数据结构

### 4 基于 $p = N/2$ 和 $p = N$ 的帧级流水 ME 结构

基于上节的通用结构, 这里推导出两种特定结构, 它们的共同特点是无需 FIFO1 和 FIFO2, 因此总线 C1 和 C2 也可以省去。

$K \rightarrow$	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	
$Y1$	11	21	31	41	51	12	22	32	42	52	13	23	33	43	53	14	24	34	44	54	15	25	35	45	55	16	26	36	46	56	14	24	34	44	54	15	
$Y2$	0	0	0	0	0	61	0	0	0	0	62	0	0	0	0	63	0	0	0	0	64	0	0	0	0	65	0	0	0	0	66	0	0	0	0	64	
$C1$	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	13	23	33	43	53	0	0	0	0	0	
$C2$	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	63	0	0	0	0
$l=1, Y\_temp$	11	21	31	41	51	12	22	32	42	52	13	23	33	43	53	14	24	34	44	54	15	25	35	45	55	13	23	33	43	53	14	24	34	44	54	15	
$l=1, XA$	33	33	33	33	33	33	33	33	33	33	33	33	33	33	33	33	33	33	33	33	33	33	33	33	33	35	35	35	35	35	35	35	35	35	35	35	35
$l=2, Y\_temp$	0	21	31	41	51	61	22	32	42	52	62	23	33	43	53	63	24	34	44	54	64	25	35	45	55	65	23	33	43	53	63	24	34	44	54	64	
$l=2, XA$	0	43	43	43	43	43	43	43	43	43	43	43	43	43	43	43	43	43	43	43	43	43	43	43	43	45	45	45	45	45	45	45	45	45	45	45	
$l=3, Y\_temp$	0	0	0	0	0	12	22	32	42	52	13	23	33	43	53	14	24	34	44	54	15	25	35	45	55	16	26	36	46	56	14	24	34	44	54		
$l=3, XA$	0	0	0	0	0	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34	34
$l=4, Y\_temp$	0	0	0	0	0	0	22	32	42	52	62	23	33	43	53	63	24	34	44	54	64	25	35	45	55	65	26	36	46	56	66	24	34	44	54		
$l=4, XA$	0	0	0	0	0	0	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44

图 4 像素点在总线和 PE 中传送的时序图

当满足条件  $p = N/2$ , 且  $-p \leq m, n \leq p-1$  时, 相邻参考块的搜索区域没有重叠部分, FIFO1 和 FIFO2 就可以去掉, 电路的结构更为简单. 图 5 给出了基于  $p = N/2$  的帧级流水 ME 结构 ( $N/2$  结构) 的示意图. 当满足条件  $p = N$ , 且  $-p \leq m, n \leq p-1$  时, 如果将当前帧每一

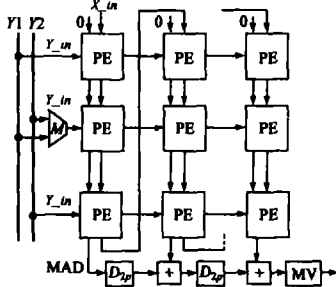


图 5 基于  $p=N/2$  的 ME 电路结构 ( $N/2$  结构)

行的参考块分成奇数块组和偶数块组, 则组内相邻参考块的搜索区域没有重叠部分, 图 5 所示的结构仍然适用. 在我们的基于  $p = N$  的帧级流水 ME 结构 ( $N$  结构) 中, 采用了两套图 5 所述的  $N/2$  结构并发生流水进行奇数块组和偶数块组参考块的运动估计, 它有如下好处: (1) 阵列的工作效率提高一倍; (2) 共用总线  $Y1, Y2$ , 输入带宽不变; (3) 阵列互连结构相同, 两套阵列被合并成一套, 每个 PE 中同时包含两个  $N/2$  结构中的 PE 单元. 与图 5 的  $N/2$  结构不同的是,  $N$  结构需要两套 MAD 累加电路, 同时 MV 模块的功能也相应复杂.

### 5 性能分析

针对上述三种结构, 我们完成了 Verilog 语言的行为级描述. 采用 ITU-R601 格式的视频流 ( $720 \times 576$  像素, 25 帧/秒), 在 MPEG-4 VM 上我们产生了基于  $p = 8$  和  $p = 16$  ( $N = 16$ ) 的仿真对比数据, 在此基础上完成了上述 ME 电路的功能验证工作.

表 1 和表 2 给出了本文所提出的结构与当前几种工作效率最高的 FSBM 运动估计电路结构的主要性能参数比较. 其中, 缓存是指局部存储器、FIFO 和延迟寄存器等缓存单元的总称. PE 规模是在  $0.25 \mu\text{m}$  工艺 100MHz 条件下得到的综合结果, 节拍/块是指一个非边界参考块进行运动估计时所需的时钟节拍数  $kN$ . 是指本文提出的基于  $p = kN$  的 ME 结构.  $N/2$  和  $N$  依此类推.

从表 1 和表 2 可以看出, 我们提出的三种 ME 脉动阵列结构不论是在缓存大小、PE 规模, 还是在输入端口数 (决定着阵列的输入带宽需求) 等方面都具有明显的优势, 而且没有

全局数据广播操作, 有利于 VLSI 实现.

表 1  $p = N/2 = 8$  时各种 ME 结构的性能比较

类型	缓存大小 ( $\times 8$ )	流水方式	数据传输方式	输入端口数 ( $\times 8$ )	PE 规模 (门)	搜索范围	节拍/块	PE 数目
文献[1]	512	帧级	广播	3	868	- 8/+ 7	256	256
文献[4]	1024	块级	广播	3	521	- 8/+ 7	256	256
文献[5]	2016	帧级	传递	2	不详	- 8/+ 8	256	256
文献[2]	1753	帧级	广播	3	937	- 8/+ 8	256	289
$N/2$	460	帧级	传递	2	564	- 8/+ 7	256	256

表 2  $p = N = 16$  时各种 ME 结构的性能比较

类型	缓存大小 ( $\times 8$ )	流水方式	数据传输方式	输入端口数 ( $\times 8$ )	PE 规模 (门)	搜索范围	节拍/块	PE 数目
文献[1]	2048	帧级	广播	9	868	- 16/+ 15	256	1024
文献[6]	1952	块级	广播	3	498	- 16/+ 15	1024	256
文献[4]	4096	块级	广播	5	521	- 16/+ 15	256	1024
文献[7]	8896	块级	广播	2	不详	- 16/+ 15	1024	256
文献[3]	16896	帧级	传递	3	967	- 16/+ 16	256	1089
$kN$	1698	帧级	传递	2	648	- 16/+ 16	1089	256
$N$	1896	帧级	传递	2	982	- 16/+ 15	512	256

以 HDIV 图像 ( $1920 \times 1080$  像素, 30f/s) 为例, 利用表 2 的数据进行估算, 表 3 给出了  $N = 16$  时本文提出的基于  $p = N$  的 ME 结构与 L C Liu 等人提出的 ME 结构的实用性比较.

表 3  $N$  结构与 L C Liu 提出的结构的实用性比较

类型	电路规模 (门)	实时工作频率	工艺水平
文献[3]	2 134K	62. 2MHz@ 30f/s	0.5 $\mu\text{m}$
		93. 3MHz@ 45f/s	0.25 $\mu\text{m}$
$N$	373K	124. 4MHz@ 30f/s	0.25 $\mu\text{m}$
		186. 6MHz@ 45f/s	0.18 $\mu\text{m}$

在  $N = 16$  时, 我们提出的基于  $p = N$  的 ME 结构的性价比是 L. C. Liu 的结构 2.86 倍. 对于 IBBPBPBPBP 格式的图像组, 该结构进行实时运动估计的最高频率不会超过 200MHz, 用当今的主流  $0.18 \mu\text{m}$  CMOS 工艺即可进行 VLSI 实现, 具有较强的工程实用价值.

基于 DIV 和 HDIV 应用背景的运动估计, 其搜索范围一般会比 - 16/+ 15 区间大. 为此, 人们大多采用基于小范围的全搜索和大范围的快速搜索算法相结合的运动估计方法. 我们提出的基于帧级流水的脉动阵列结构可以作为 DIV 和

HDTV 运动估计电路的一个主要模块来有效的执行全搜索算法。同时, 该结构的数据流高度规整有序, 因而也可以作为可变速全搜索运动估计结构的研究基础。

## 6 总结

针对 FSBM 算法, 本文提出了三种搜索距离分别为  $p = kN (k \geq 1)$ ,  $p = N/2$  和  $p = N$  的脉动阵列结构的运动估计电路。这些结构不仅实现了接近 100% 的流水运算效率, 而且具有性价比高、输入端口数少、结构规整、有利于 VLSI 实现等优点, 具有较强的工程实用价值。

### 参考文献:

- [ 1 ] Yeo H, Hu Y H. A novel modular systolic array architecture for full search block-matching motion estimation[J]. IEEE Transactions on Circuits and Systems for Video Technology, 1995, 5(5): 407- 416.
- [ 2 ] Surin K, Hu Y H. Frame level pipelined motion estimation array processor[J]. IEEE Transactions on Circuits and Systems for Video Technology, 2001, 11(2): 248- 251.
- [ 3 ] Liu L C, et al. A frame level FSBM motion estimation architecture with large search range[A]. IEEE Conference on Advanced Video and Signal Based Surveillance[C]. Miami: IEEE Computer Society, 2003. 327 - 333.
- [ 4 ] Lai Y K, Chen L G. A data interlacing architecture with two dimensional data reuse for full search block matching algorithm[J]. IEEE Transactions on Circuits and Systems for Video Technology, 1998, 8 (2): 124- 127.
- [ 5 ] Chen Y K, Kung S Y. A systolic methodology with application to full search block matching architectures[J]. The Journal of VLSI Signal

Processing System for Signal, Image, and Video Technology, 1998, 19 (1): 51- 77.

- [ 6 ] Lee C Y, Lu M C. An efficient VLSI architecture for Full search block matching algorithms[J]. Journal of VLSI Signal Processing, 1997, 15 (3): 275- 283.
- [ 7 ] Tuan J C, Chang T S, C W Jen. On the data reuse and memory bandwidth analysis for full search block-matching VLSI architecture[J]. IEEE Transactions on Circuits and Systems for Video Technology, 2002, 12(1): 61- 72.

### 作者简介:



何卫锋 男, 1976 年出生于湖北罗田, 1999 年和 2001 年分别于哈尔滨工业大学微电子学与固体电子学专业获学士和硕士学位, 现为哈尔滨工业大学微电子科学与技术系博士研究生, 主要研究方向为: 数字视频处理、计算机体系结构、专用集成电路设计。E-mail: hewf@hit.edu.cn.



毛志刚 男, 1963 年出生于哈尔滨, 哈尔滨工业大学微电子科学与技术系教授, 博士生导师, 1986 年于清华大学微电子专业获学士学位, 1988 年和 1992 年于法国雷恩大学获硕士和博士学位, 主要研究领域为: 专用集成电路设计、容错和可测性设计、可编程和可重构硬件结构设计、IC 卡设计和信息安全。